

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-107153

(43)Date of publication of application : 22.04.1997

(51)Int.Cl.

H01S 3/18

(21)Application number : 08-247227

(71)Applicant : MOTOROLA INC

(22)Date of filing : 28.08.1996

(72)Inventor : RAMDANI JAMAL  
LEBBY MICHAEL S  
LEE HSING-CHUNG

(30)Priority

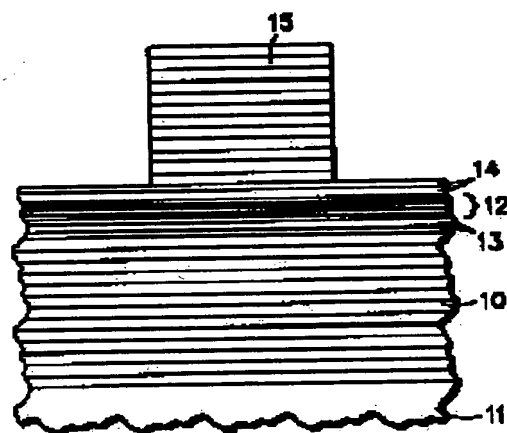
Priority number : 95 520061 Priority date : 28.08.1995 Priority country : US

## (54) SHORT WAVE VCSEL HAVING ALUMINUM FREE ACTIVE REGION

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a short wave vertical cavity surface emission laser diode having an aluminum free active region by a structure comprising a specific substrate, first and second mirror stack, and an active region.

SOLUTION: A first mirror stack 10, a sealing layer 13, an active region 12, a sealing layer 14 and a second mirror stack 15 are formed on a substrate. In this regard, wet or dry etching is applicable using a specified etching agent. VCSEL structure of pattern mirror or ridge waveguide can be formed because of etching selectivity by etching etching up to the upper surface of a cladding layer through an upper or second mirror stack 15. Since the etching is performed accurately without causing any damage on the active region 12 or sealing layers 13, 14, current and light are sealed well and a low threshold value is obtained while sustaining high reliability.



## LEGAL STATUS

[Date of request for examination] 04.08.2003

[Date of sending the examiner's decision of rejection] 06.12.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-107153

(43) 公開日 平成9年(1997)4月22日

(51) Int.Cl.

H01S 3/18

識別記号

庁内整理番号

F I

H01S 3/18

技術表示箇所

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平8-247227

(22) 出願日 平成8年(1996)8月28日

(31) 優先権主張番号 520061

(32) 優先日 1995年8月28日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンパーグ、  
イースト・アルゴンクイン・ロード1303

(72) 発明者 ジャマル・ラムダニ

アメリカ合衆国アリゾナ州ギルバート、ウ  
ェスト・デボン・ドライブ822

(72) 発明者 マイケル・エス・レビー

アメリカ合衆国アリゾナ州アパッチ・ジャ  
ンクション、ノース・ラバージ・ロード30

(74) 代理人 弁理士 大貫 進介 (外1名)

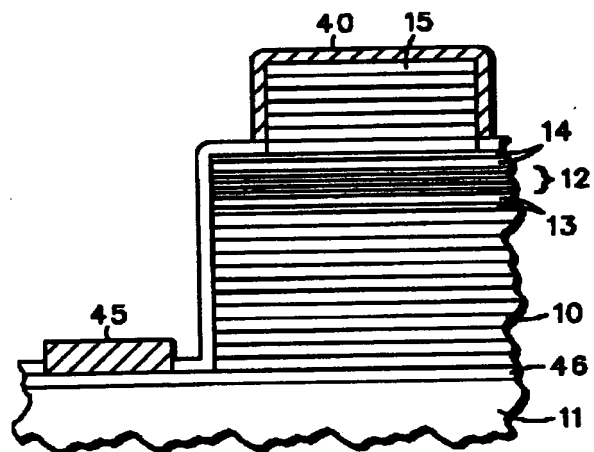
最終頁に続く

(54) 【発明の名称】 アルミニウムのない活性領域を有する短波長VCSEL

(57) 【要約】

【課題】 短波長のVCSELを提供する。

【解決手段】 この短波長のVCSELは、複数の対の相対的に高屈折率および低屈折率の層からなる、基板11に配置されたミラー・スタック10と、複数の対の相対的に高屈折率および低屈折率の層からなる第2ミラー・スタック15と、第1スタック10と第2スタック15との間に挟まれた活性領域12であって、前記活性領域は、GaInPの障壁層25、26を間に挟むGaAsPの量子ウェル層20、21、22からなり、量子ウェル層20、21、22および障壁層25、26が実質的に等しくかつ反対の格子不整合を有する活性領域12を含む。



## 【特許請求の範囲】

【請求項1】 短波長の垂直キャビティ表面発光レーザであって：基板（11）；前記基板（11）上に配置された第1導電型の第1ミラー・スタック（10）であって、複数の対の相対的に高および低の屈折率の層からなる第1ミラー・スタック（10）；第2導電型の第2ミラー・スタック（15）であって、相対的に高および低の屈折率の複数の対の層からなる第2ミラー・スタック（15）；および前記第1ミラー・スタック（10）と前記第2ミラー・スタック（15）との間に挟まれた活性領域（12）であって、結晶歪みが等しくかつ反対の結晶歪みを有する交互の歪み層である複数の歪み層からなる活性領域（12）；によって構成されることを特徴とする短波長の垂直キャビティ表面発光レーザ。

【請求項2】 短波長の垂直キャビティ表面発光レーザであって：基板（11）；前記基板（11）上に配置された第1導電型の第1ミラー・スタック（10）であって、相対的に高および低屈折率の複数の対の層からなる第1ミラー・スタック（10）；第2導電型の第2ミラー・スタック（15）であって、相対的に高および低屈折率の複数の対の層からなる第2ミラー・スタック（15）；および前記第1ミラー・スタック（10）と前記第2ミラー・スタックとの間に挟まれた活性領域（12）であって、前記活性領域（12）は、GaInPの障壁層（25、26）を間に挟む複数のGaAsPの量子ウェル層（20、21、22）からなり、前記量子ウェル層（20、21、22）および前記障壁層（25、26）が実質的に等しくかつ反対の格子不整合を有する、活性領域（12）；一対の封止層（13、14）の間に挟まれた前記活性領域（12）；によって構成されることを特徴とする短波長の垂直キャビティ表面発光レーザ。

【請求項3】 短波長の垂直キャビティ表面発光レーザを作製する方法であって：相対的に高および低屈折率の複数の対の層からなる、第1導電型の第1ミラー・スタック（10）を形成する段階；前記第1ミラー・スタック（10）上に第1封止層（13）を形成する段階；交互の歪み層が等しくかつ反対の結晶歪みを有する複数の歪み層（20、21、22、25、26）からなる活性領域（12）を前記第1封止層（13）上に形成する段階；前記活性領域（12）上に第2封止層（14）を形成する段階；および相対的に高および低屈折率の複数の対の層からなる、第2導電型の第2ミラー・スタック（15）を前記第2封止層（14）上に形成する段階；によって構成されることを特徴とする方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、垂直キャビティ表面発光レーザに関し、さらに詳しくは、短波長の垂直キャビティ表面発光レーザおよびその改善された作製方法に関

する。

## 【0002】

【従来の技術】一般に1992年12月15日に発行された米国特許第5,172,384号“Low Threshold Current Laser”において開示されるような従来の半導体レーザでは、両側にAlGaAsのスペース層およびクラディング層を有する、InGaAs量子ウェルのある活性領域を形成するのが一般的である。さらに、クラディング層の各側にブラッグ・リフレクタ(Bragg reflector)またはミラー・スタックを形成するのが一般的であり、このミラー・スタックは一般にアルミニウムを含む。VCSELのエピタキシャル構成は十分確立されているが、さまざまな処理方式が利用できる。

【0003】短波長（約800nm以下で、より具体的には780nm）の垂直キャビティ表面発光レーザ・ダイオード（VCSEL：vertical cavity surface emitting laser diode）は、高密度CDROM用途に関心が高い。GaAs系で短波長の発光を得て、GaAs基板への格子整合(lattice match)を維持するためには、レーザ・キャビティは活性層としてAlGaAsを有していなければならない。しかし、活性領域にアルミニウムを導入すると、レーザ発振効率の損失が生じるが、これはアルミニウムは酸素との反応性が高く、酸素はほとんどのIII-V族材料において非放射性再結合センタ(non-radiative recombination center)として挙動するためである。酸素導入は、材料成長中またはデバイス処理中に生じることがある。

## 【0004】

【発明が解決しようとする課題】よって、従来技術に固有の上記の欠点および他の欠点を正すことは極めて有利である。

【0005】従って、本発明の目的は、アルミニウムのない(aluminum free)活性領域を有する短波長のVCSELを提供することである。

【0006】本発明の別の目的は、高電流注入および高温条件下で、信頼性および安定性が高い短波長のVCSELを提供することである。

【0007】本発明のさらに別の目的は、閾値電流を実質的に低減した短波長のVCSELを提供することである。

【0008】本発明のさらに別の目的は、リッジ導波管処理(ridge-waveguide processing)に固有に適した短波長のVCSELを提供することである。

## 【0009】

【課題を解決するための手段】簡単には、本発明の所望の目的を達成するため、本発明の好適な実施例に従って、基板と、この基板の上に配置された第1導電型の第1ミラー・スタックであって、複数の対の相対的に高屈折率および低屈折率の層からなる第1ミラー・スタックと、第2導電型の第2ミラー・スタックであって、複数

の対の相対的に高屈折率および低屈折率の層からなる第2ミラー・スタックと、第1ミラー・スタックと第2ミラー・スタックとの間に挟まれた活性領域であって、結晶歪みが等しくかつ反対の結晶歪み(crystallographic strain)を有する交互の歪み層である複数の歪み層(strained layer)からなる活性領域とを含む短波長の垂直キャビティ表面発光レーザが提供される。

【0010】さらに、複数の対の相対的に高屈折率および低屈折率の層からなる第1導電型の第1ミラー・スタックを形成する段階と、第1ミラー・スタック上に第1封止層を形成する段階と、交互の歪み層が等しくかつ反対の結晶歪みを有する複数の歪み層からなる活性領域を第1封止層上に形成する段階と、活性領域上に第2封止層を形成する段階と、複数の対の相対的に高屈折率および低屈折率の層からなる第2導電型の第2ミラー・スタックを第2封止層上に形成する段階とを含む、短波長の垂直キャビティ表面発光レーザを作製する方法が提供される。

【0011】

【実施例】図1を参照して、本発明による作製方法の異なる段階において実現される中間構造の簡略断面図を示す。特に、図1は、例えば、基板11上に交互の屈折率を有する複数の半導体材料の層をエピタキシャル成長することによって形成された第1ミラー・スタック10を示す。この目的のために利用できる材料の例には、AlAsおよびAl<sub>0.3</sub>Ga<sub>0.7</sub>Asの交互層がある。交互層の各対は、これらの層内で伝搬する発光波長の1/4の厚さに成長され、対の数は、スタックを実際的な数に制限しつつ、できるだけ高い光の反射率を与えるように選ばれる。

【0012】活性領域12は、第1封止層または領域13と第2封止層または領域14との間に挟まれる。封止領域13は、第1ミラー・スタック10上に配置され、第2ミラー・スタック15は、封止領域14の上面に形成される。第2ミラー・スタック15は、例えば、ミラー・スタック10について説明したように、半導体層の対をエピタキシャル成長することによって形成される。一般に、これらの層の対は、ミラー・スタック10の材料と同様な材料からなり、また厚さは、選択された波長または波長のスペクトルの適切な反射率を与えるべく同様である。また、第1および第2ミラー・スタック10、15は、反対の導電型でドーピングされ、そこに電流を流すため2端子(ダイオード)構造を形成する。この特定の実施例では、例えば、ミラー・スタック10は、n型導電性にドーピングされ、ミラー・スタック15はp型導電性にドーピングされる。

【0013】一般に、活性領域12は、障壁層によって分離された1つまたはそれ以上の量子ウェルまたは量子ウェル層を含み、そのいずれかの側面に封止層13、14がある。量子ウェル、障壁層および封止層もエピタキ

シャル成長される。量子ウェルは、その両端に印加される電流によって適切に付勢されると、周知な現象により光子(光)を発生する。一般に、活性領域12に印加される電流が大きければ、発生される光子の数も大きくなる。光子は、ミラー・スタック10、15によって反射され、最終的に発光を生成する周知のレーザ発振を生じる。この光の波長は、活性領域12における量子ウェルで用いられる材料と、ミラー・スタック10、15における交互の層の対の厚さとによって決定される。

【0014】活性領域12は、800nm以下であって、好ましくは780nmなど、短波長の発光を行うように選択された材料系で形成される。一般に、アルミニウム合金を利用して短波長は達成される。しかし、アルミニウムは酸化の影響を受けやすく、活性領域12の不安定性に大きく寄与し、その結果、VCSELの破損が生じる。従って、活性領域12を形成する材料系はアルミニウムを含有しない。封止層14は、ミラー・スタック15の材料系とは異なる材料系から形成され、この異なる材料系は、ミラー・スタック15を選択的にエッチングして、必要に応じてパターン化ミラーまたはリッジ・タイプのVCSELを形成できるように選択される。アルミニウムを含有しないように活性領域12の材料系を選択し、かつ活性領域12の材料系と結晶学的に整合性があるように封止層14の異なる材料系を選択することにより、VCSELの信頼性および寿命は改善される。

【0015】図2を参照して、封止層13、14に挟まれた活性領域12の拡大略断面図を示す。この特定の実施例では、活性領域12は、3つの量子ウェル20、21、22と、それらの間に挟まれた障壁層25、26を含む。障壁層25、26によって分離された量子ウェル20、21、22は、スペーサまたはガイド層30、31によって挟まれ、これらのスペーサまたはガイド層30、31は、クラディング層33、34によって挟まれる。一般に、スペーサ層30、31およびクラディング層33、34は、本明細書に参考として含まれる上記の米国特許第5,172,384号において詳細に説明されるように、ガイド動作を行うべくグレード処理される。

【0016】活性領域12においてアルミニウムのない材料を利用するため、GaAs(001)P<sub>r</sub>が導入される。しかし、GaAs(001)P<sub>r</sub>は、GaAsと格子整合がなく、引張歪み(tensile strain)が生じる。多重量子ウェル構造では、ミスフィット転位(misfit dislocation)を発生せずにこの歪みに対処するには、GaAsP層の厚さは十分小さく抑え、この歪みに等しくかつ向きが反対の補正が必要になる。活性領域12の好適な材料系は、GaInP/GaAsP歪み層超格子(strained layers superlattice)である。引張歪み下の量子ウェル層20、21、22と、実質的に等しい圧縮歪み下の介

在障壁層25、26とが用いられる。

【0017】特定の実施例では、量子ウェル層20、21、22は、それぞれが約100オングストローム厚のGaAs<sub>0.82</sub>P<sub>0.18</sub> ( $E_g = 1.57 \text{ eV}$ ) からなる。障壁層25、26は、それぞれが約100オングストローム厚のIn<sub>0.20</sub>Ga<sub>0.80</sub>P ( $E_g = 1.76 \text{ eV}$ ) からなる。量子ウェル層20、21、22および障壁層25、26は、GaAs基板11に対して約0.65%のほぼ等しくかつ反対の格子不整合を有する。GaAsPにおけるリン組成は、量子ウェル寸法と、エネルギー・バンドに対する歪みの影響とを考慮して、室温で780nmの発光波長を生成するように選択される。スペーサ層30、31は、In<sub>0.45</sub>Ga<sub>0.55</sub>P ( $E_g = 1.9 \text{ eV}$ ) からなり、クラディング層33、34は、GaAs基板11に格子整合された(GaAl<sub>0.3</sub>)<sub>0.51</sub>In<sub>0.49</sub>P ( $E_g = 2.08 \text{ eV}$ ) からなる。活性領域12および封止層13、14の全厚は、1波長光学厚となるように選択される。説明した材料のバンドギャップを一般に表すエネルギー図を図3に示す。この例では、ブラッグ・リフレクタ(第1および第2ミラー・スタック10、15)は、AlAsおよびGa<sub>0.75</sub>Al<sub>0.25</sub>Asの1/4波長の交互層からなる。

【0018】第1ミラー・スタック10、封止層13、活性領域12、封止層14および第2ミラー・スタック15が図1に示すように基板11上に形成され、上記のような材料を含む場合、第2ミラー・スタック15は、図4に示すように選択的にエッチングされる。H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O:H<sub>2</sub>SO<sub>4</sub>/HCL:H<sub>3</sub>PO<sub>4</sub> ベースのエッチング剤を利用して、湿式または乾式エッチング方法を施すことができる。エッチング選択性のため、クラ

ディング層34の上面まで上部または第2ミラー・スタック15を介してエッチングすることにより、パターン・ミラーまたはリッジ導波管のVCSEL構造が形成される。エッチングは正確であり、かつ活性領域12または封止層13、14を破損しないので、良好な電流および光封止が達成され、低閾値が得られ、しかも(プレーナ型VCSELに対して)良好な信頼性を維持する。

【0019】図5に示すように、図4に示す構造を完成するため、任意の既知の方法によって、p型メタライゼーション40が上部ミラー・スタック15の露出面上に形成される。メサの上面の上にあるp型メタライゼーション40の少なくとも一部は、ITOなどの透明金属でもよい。n型メタライゼーション45は、例えば、基板11の上面上で、ミラー・スタック10と接触して形成

され、VCSELの別の電気コンタクトをなす。一般に、高濃度にドーピングされた半導体材料の層46は、基板11の表面上に設けられ、VCSELのミラー・スタック10に対する良好で、抵抗の低いコンタクトを提供する。必要に応じて、ミラー・スタック10が形成された表面とは反対の基板11の表面に電気コンタクトを形成できることが理解される。

【0020】以上、VCSELのパターン化ミラーを作製する改善された方法を含む、短波長のVCSELを作製する新規な改善された方法が開示された。上部ミラー・スタックは正確かつ選択的にエッチングされるので、信頼性は大幅に改善される。また、VCSELの活性領域はアルミニウムがないので、VCSELの信頼性および寿命は大幅に向上する。

【0021】本発明の特定の実施例について図説してきたが、更なる修正および改善は当業者に想起される。従って、本発明は図示の特定の形式に制限されず、特許請求の範囲は、本発明の精神および範囲から逸脱しない一切の修正を網羅するものとする。

#### 【図面の簡単な説明】

【図1】本発明によるVCSELの製造工程における第1段階の簡略断面図である。

【図2】図1の基板の一部の拡大断面図である。

【図3】図2に示す構造で用いられる材料のバンドギャップを示すエネルギー図である。

【図4】本発明によるVCSELの作製における第2段階の簡略断面図である。

【図5】本発明によるVCSELの作製における最終段階の簡略断面図である。

#### 【符号の説明】

10 第1ミラー・スタック

11 基板

12 活性領域

13 第1封止層(領域)

14 第2封止層(領域)

15 第2ミラー・スタック

20、21、22 量子ウェル

25、26 障壁層

30、31 スペーサ層(ガイド層)

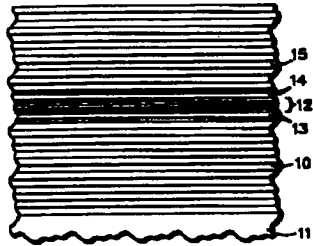
33、34 クラディング層

40 p型メタライゼーション

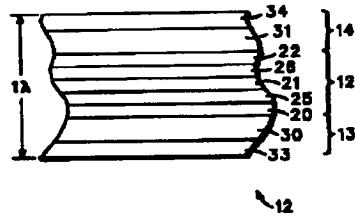
45 n型メタライゼーション

46 高濃度にドーピングされた半導体材料の層

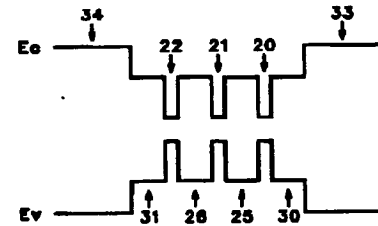
【図1】



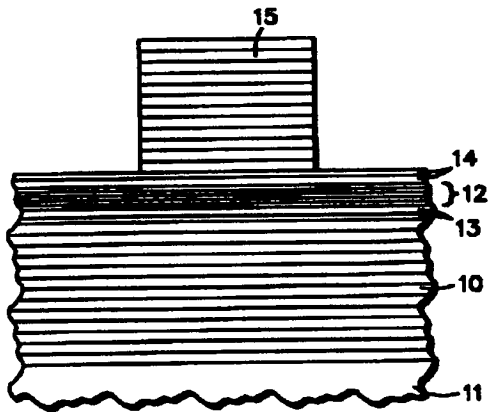
【図2】



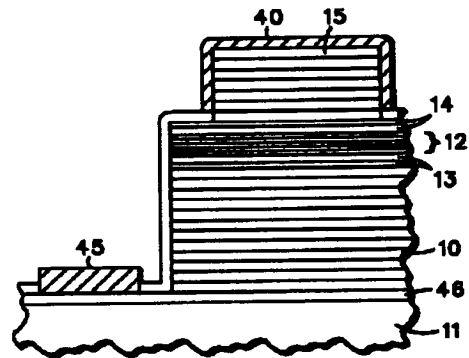
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 シン・チャン・リー  
アメリカ合衆国カリフォルニア州カラバサ  
ス、パーク・エンセナダ23246